

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-175041
(P2002-175041A)

(43)公開日 平成14年6月21日(2002.6.21)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 9 G 3/20	6 4 2	G 0 9 G 3/20	6 4 2 A 3 K 0 0 7
	6 4 1		6 4 1 P 5 C 0 8 0
	6 7 0		6 7 0 J
3/22		3/22	E
3/28		3/30	K

審査請求 未請求 請求項の数24 O L (全 28 頁) 最終頁に続く

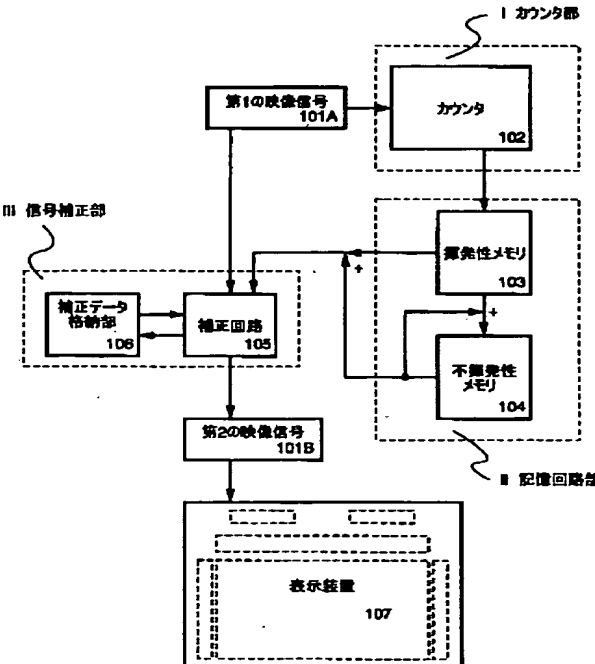
(21)出願番号	特願2001-268299(P2001-268299)	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	平成13年9月5日(2001.9.5)	(72)発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(31)優先権主張番号	特願2000-273139(P2000-273139)	Fターム(参考)	3K007 AB11 EB00 GA04 5C080 AA05 AA08 AA10 BB05 DD05 DD29 EE28 FF11 JJ01 JJ02 JJ06
(32)優先日	平成12年9月8日(2000.9.8)		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 自発光装置およびその駆動方法

(57)【要約】

【課題】 自発光素子の劣化を補正する機能を有し、輝度ムラのない均一な画面を得ることの出来る自発光装置を提供する。

【解決方法】 カウンタ102は、第1の映像信号101Aより、各画素の累積点灯時間または累積点灯時間と点灯強度とをカウントし、揮発性メモリ103あるいは不揮発性メモリ104に格納する。補正回路105では、当該累積点灯時間または、累積点灯時間と点灯強度とから、各自発光素子の劣化の程度に合わせて、あらかじめ補正データ格納部106に格納してある補正データに基づいて第1の映像信号に補正を行い、第2の映像信号101Bを得る。当該第2の映像信号101Bによって、表示装置107においては、一部の画素における自発光素子が劣化を生じている場合にも、輝度ムラを解消し均一な画面を得ることが出来る。



【特許請求の範囲】

【請求項1】映像信号を入力して映像を表示する自発光装置において、

各画素の累積点灯時間を検出する手段と、

前記累積点灯時間を記憶する手段と、

前記記憶された累積点灯時間に応じて前記映像信号を補正する手段とを有し、

前記補正された映像信号を用いて映像を表示することを特徴とする自発光装置。

【請求項2】映像信号を入力して映像を表示する自発光装置において、

各画素の累積点灯時間と点灯強度とを検出する手段と、

前記累積点灯時間と点灯強度とを記憶する手段と、

前記記憶された累積点灯時間と点灯強度とに応じて前記映像信号を補正する手段とを有し、

前記補正された映像信号を用いて映像を表示することを特徴とする自発光装置。

【請求項3】映像信号を入力して映像を表示する自発光装置において、

第1の映像信号をサンプリングし、各画素の自発光素子の点灯時間を定期的に検出するカウンタ部と、

前記カウンタ部によって検出された前記各画素の自発光素子の点灯時間を、累積して記憶する記憶回路と、

前記記憶回路に累積して記憶された、前記各画素の自発光素子の累積点灯時間に応じて前記第1の映像信号の補正を行い、第2の映像信号を出力する信号補正部と、を有する劣化補正装置と、

前期第2の映像信号によって映像の表示を行う表示装置と、

を有することを特徴とする自発光装置。

【請求項4】映像信号を入力して映像を表示する自発光装置において、

第1の映像信号をサンプリングし、各画素の点灯時間と点灯強度とを、定期的に検出するカウンタ部と、

前記カウンタ部によって検出された前記各画素の自発光素子の点灯時間と点灯強度とを、累積して記憶する記憶回路と、

前記記憶回路に累積して記憶された、前記各画素の自発光素子の累積点灯時間と点灯強度とに応じて前記第1の映像信号の補正を行い、第2の映像信号を出力する信号補正部と、

を有する劣化補正装置と、

前期第2の映像信号によって映像の表示を行う表示装置と、を有することを特徴とする自発光装置。

【請求項5】請求項1乃至請求項4のいずれか1項に記載の自発光装置において、

n ビット(n は自然数、 $n \geq 2$)階調の表示を行う自発光装置は、 $n+m$ ビット(m は自然数)の信号処理を行う駆動回路を有し、

劣化の生じていない自発光素子を有する画素に書き込ま

れる映像信号は、 n ビットの映像信号によって階調の表示を行い、

劣化の生じた自発光素子を有する画素に書き込まれる映像信号には、 m ビットの信号を用いて階調の補正を行うことによって、

前記劣化の生じていない自発光素子と、前記劣化の生じた自発光素子との間で等しい輝度を得ることを特徴とする自発光装置。

【請求項6】請求項1乃至請求項4のいずれか1項に記載の自発光装置において、

劣化の生じた自発光素子を有する画素に書き込まれる映像信号には、劣化の生じていない自発光素子を有する画素に書き込まれる映像信号に対し、相対的に加算処理を行うことを特徴とする自発光装置。

【請求項7】請求項1乃至請求項4のいずれか1項に記載の自発光装置において、

表示範囲内において、劣化の小さい自発光素子を有する画素あるいは劣化を生じていない自発光素子を有する画素に書き込まれる映像信号には、最も劣化の大きい自発光素子を有する画素に書き込まれる映像信号に対し、相対的に減算処理を行うことを特徴とする自発光装置。

【請求項8】請求項1乃至請求項7のいずれか1項に記載の自発光装置において、

前記記憶手段または前記記憶回路はスタティック型記憶回路(SRAM)であることを特徴とする自発光装置。

【請求項9】請求項1乃至請求項7のいずれか1項に記載の自発光装置において、

前記記憶手段または前記記憶回路はダイナミック型記憶回路(DRAM)であることを特徴とする自発光装置。

【請求項10】請求項1乃至請求項7のいずれか1項に記載の自発光装置において、

前記記憶手段または記憶回路は強誘電体記憶回路(FRAM)であることを特徴とする自発光装置。

【請求項11】請求項1乃至請求項7のいずれか1項に記載の自発光装置において、

前記記憶手段または記憶回路は、電氣的に書き込み、読み出し、消去が可能な不揮発性メモリ(EEPROM)であることを特徴とする自発光装置。

【請求項12】請求項1または請求項2に記載の自発光装置において、

前記検出手段と、前記記憶手段と、前記補正手段とは、前記自発光装置の外部の回路によって構成されることを特徴とする自発光装置。

【請求項13】請求項1または請求項2に記載の自発光装置において、

前記検出手段と、前記記憶手段と、前記補正手段とは、前記自発光装置と同一の絶縁体上に形成されることを特徴とする自発光装置。

【請求項14】請求項3乃至請求項11に記載の自発光装置において、

前記カウンタ部と、前記記憶回路と、前記信号補正部とは、前記自発光装置の外部の回路によって構成されることを特徴とする自発光装置。

【請求項 15】請求項 3 乃至請求項 11 に記載の自発光装置において、

前記カウンタ部と、前記記憶回路と、前記信号補正部とは、前記自発光装置と同一の絶縁体上に形成されることを特徴とする自発光装置。

【請求項 16】請求項 1 乃至請求項 15 のいずれか 1 項に記載の自発光装置において、

前記自発光装置は E L ディスプレイであることを特徴とする自発光装置。

【請求項 17】請求項 1 乃至請求項 15 のいずれか 1 項に記載の自発光装置において、

前記自発光装置は P D P ディスプレイであることを特徴とする自発光装置。

【請求項 18】請求項 1 乃至請求項 15 のいずれか 1 項に記載の自発光装置において、

前記自発光装置は F E D ディスプレイであることを特徴とする自発光装置。

【請求項 19】映像信号を入力して映像を表示する自発光装置の駆動方法であって、

第 1 の映像信号をサンプリングし、カウンタ部において各画素の自発光素子の点灯時間を定期的に検出し、

前記カウンタ部によって検出された前記各画素の自発光素子の点灯時間を、記憶回路において累積して記憶し、

前記記憶回路に累積して記憶された、前記各画素の自発光素子の累積点灯時間に応じて、信号補正部は前記第 1 の映像信号を補正して第 2 の映像信号を出力し、

前期第 2 の映像信号によって映像の表示を行うことを特徴とする自発光装置の駆動方法。

【請求項 20】映像信号を入力して映像を表示する自発光装置の駆動方法であって、

第 1 の映像信号をサンプリングし、カウンタ部において各画素の自発光素子の点灯時間と点灯強度と定期的に検出し、

前記カウンタ部によって検出された前記各画素の自発光素子の点灯時間と点灯強度とを、記憶回路において累積して記憶し、

前記記憶回路に累積して記憶された、前記各画素の自発光素子の累積点灯時間と点灯強度とに応じて、信号補正部は前記第 1 の映像信号を補正して第 2 の映像信号を出力し、

前期第 2 の映像信号によって映像の表示を行うことを特徴とする自発光装置の駆動方法。

【請求項 21】請求項 19 または請求項 20 に記載の自発光装置の駆動方法において、

n ビット (n は自然数、 $n \geq 2$) 階調の表示を行う自発光装置は、 $n + m$ ビット (m は自然数) の信号処理を行う駆動回路を有し、

劣化の生じていない自発光素子を有する画素に書き込まれる映像信号は、 n ビットの映像信号によって階調の表示を行い、

劣化の生じた自発光素子を有する画素に書き込まれる映像信号には、 m ビットの信号を用いて階調の補正を行うことによって、

前記劣化の生じていない自発光素子と、前記劣化の生じた自発光素子との間で等しい輝度を得ることを特徴とする自発光装置の駆動方法。

【請求項 22】請求項 19 乃至請求項 21 のいずれか 1 項に記載の自発光装置において、

劣化の生じた自発光素子を有する画素に書き込まれる映像信号には、劣化の生じていない自発光素子を有する画素に書き込まれる映像信号に対し、相対的に加算処理を行うことを特徴とする自発光装置の駆動方法。

【請求項 23】請求項 19 乃至請求項 21 のいずれか 1 項に記載の自発光装置において、

表示範囲内において、劣化の小さい自発光素子を有する画素あるいは劣化を生じていない自発光素子を有する画素に書き込まれる映像信号には、最も劣化の大きい自発光素子を有する画素に書き込まれる映像信号に対し、相対的に減算処理を行うことを特徴とする自発光装置の駆動方法。

【請求項 24】請求項 1 乃至請求項 23 のいずれか 1 項に記載の自発光装置または自発光装置の駆動方法を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、自発光装置、特にアクティブマトリクス型自発光装置に関する。その中で特に、画素部に有機エレクトロルミネッセンス (E L) 素子を始めとする自発光素子を用いたアクティブマトリクス型自発光装置に関する。

【0002】

【従来の技術】近年、ガラス基板上等の絶縁体上に半導体薄膜を形成した自発光装置、特に T F T を用いたアクティブマトリクス型自発光装置の普及が顕著となっている。T F T を使用したアクティブマトリクス型自発光装置は、マトリクス状に配置された画素部に数十万から数百万の T F T を有しており、各画素の電荷を制御することによって画像の表示を行っている。

【0003】さらに最近の技術として、画素を構成する画素 T F T の他に、画素部の周辺に T F T を用いて駆動回路を同時形成するポリシリコン T F T に関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、自発光装置は不可欠なデバイスとなってきている。

【0004】また、L C D (液晶ディスプレイ) に替わるフラットディスプレイとして、有機 E L 等の自発光材料

を応用した自発光装置が注目を集めており、活発な研究が行われている。

【0005】図15(A)に、通常の自発光装置の概略を示す。本明細書においては、自発光素子の例として、有機EL(以降、単にELと記す)を用いて説明する。絶縁体(例えばガラス等)の基板1501の中央に画素部1504が配置されている。画素部1504には、ソース信号線、ゲート信号線に加え、EL素子に電流を供給するための電流供給線1505が配置されている。画素部1504の上側には、ソース信号線を制御するための、ソース信号線駆動回路1502が、画素部1504の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1503が配置されている。なお、図15(A)においては、ゲート信号線駆動回路1503は、画素部の左右両側に配置されているが、これは片側のみに配置しても良い。ただし、両側配置とすることにより、駆動効率、信頼性の面から見て望ましい。ソース信号線駆動回路1502およびゲート信号線駆動回路1503への信号の入力は、外部からフレキシブルプリント基板(Flexible Print Circuit: FPC)1506を経て行われる。

【0006】図15(A)内、点線枠1500で囲まれた部分の拡大図を図15(B)に示す。画素部は、この図に示すように各画素がマトリクス状に配置されている。図15(B)中、さらに点線枠1510で囲まれた部分が1画素であり、ソース信号線1511、ゲート信号線1512、電流供給線1513、スイッチング用TFT1514、EL駆動用TFT1515、保持容量1516、EL素子1517等を有している。

【0007】次に、同図15(B)を参照して、アクティブマトリクス型自発光装置の動作について説明する。まず、ゲート信号線1512が選択されると、スイッチング用TFT1514のゲート電極に電圧が印加され、スイッチング用TFT1514が導通状態になる。すると、ソース信号線1511の信号(電圧)が保持容量1516に蓄積される。保持容量1516の電圧は、EL駆動用TFT1515のゲート・ソース間電圧 V_{GS} となるため、保持容量1516の電圧に応じた電流がEL駆動用TFT1515とEL素子1517に流れる。その結果、EL素子1517が発光する。

【0008】EL素子1517の輝度、つまりEL素子1517を流れる電流量は、EL駆動用TFT1515の V_{GS} によって制御出来る。 V_{GS} は、保持容量1516の電圧であり、それはソース信号線1511に入力される信号(電圧)である。つまり、ソース信号線1511に入力される信号(電圧)を制御することによって、EL素子1517の輝度を制御する。最後に、ゲート信号線1512を非選択状態にして、スイッチング用TFT1514のゲートを閉じ、スイッチング用TFT1514を非導通状態にする。その時、保持容量1516に蓄積された電荷は保持される。よって、EL駆動用TFT15

15の V_{GS} は、そのまま保持され、 V_{GS} に応じた電流が、EL駆動用TFT1515を経由してEL素子1517に流れ続ける。

【0009】EL素子の駆動等に関しては、SID99 Digest: P372: "Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT"、ASIA DISPLAY98: P217: "High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver"、Euro Display99 Late News: P27: "3.8 Green OLED with Low Temperature Poly-Si TFT"などに報告されている。

【0010】次に、EL素子1517の階調表示の方式について述べる。前述のような、EL駆動用TFT1515のゲート・ソース間電圧 V_{GS} によってEL素子1517の輝度を制御するアナログ階調方式は、EL駆動用TFT1515の電流特性のばらつきに弱いという欠点がある。つまり、EL駆動用TFT1515の電流特性が異なると、同じゲート電圧を印可しても、EL駆動用TFT1515とEL素子1517を流れる電流値が変わってしまう。その結果、EL素子1517の輝度、つまり階調が変わってしまう。

【0011】そこで、EL駆動用TFT1515の特性ばらつきの影響を小さくし、均一な画面を得るために、デジタル階調方式と呼ぶ方式が考案されている。この方式は、EL駆動用TFT1515のゲート・ソース間電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以下の状態(ほとんど電流が流れない)と、輝度飽和電圧よりも大きい状態(最大に近い電流が流れている)、という2つの状態で階調を制御する方式である。この場合、EL駆動用TFT1515の $|V_{GS}|$ を輝度飽和電圧よりも十分大きくしておけば、EL駆動用TFT1515の電流特性がばらついても、電流値は I_{MAX} に近くなる。よって、EL駆動用TFT1515のばらつきの影響を非常に小さく出来る。以上のように、ON状態(最大電流が流れているため明るい)とOFF状態(電流が流れないため暗い)の2つの状態で階調を制御するため、この方式はデジタル階調方式と呼ばれている。

【0012】しかしながら、デジタル階調方式の場合、このままでは2階調しか表示できない。そこで、別の方式と組み合わせて、多階調化を図る技術が複数提案されている。

【0013】多階調化を図る方式の一つとして、時間階調方式がある。時間階調方式とは、EL素子817が点灯している時間を制御して、その点灯時間の長短によって階調を出す方式である。つまり、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

【0014】図9を参照する。図9は、時間階調方式の

タイミングチャートを簡単に示している。フレーム周波数を60[Hz]とし、時間階調方式によって3ビットの階調を得る例である。

【0015】図9(A)に示すように、1フレーム期間を、階調ビット数分のサブフレーム期間に分割する。ここでは3ビットであるので、3つのサブフレーム期間SF1~SF3に分割している。1つのサブフレーム期間は、さらにアドレス期間(Ta#)とサステイン(点灯)期間(Ts#)に分けられる。SF1でのサステイン期間をTs1と呼ぶことにする。SF2、SF3の場合においても同様に、Ts2、Ts3と呼ぶことにする。アドレス期間Ta1~Ta3は、それぞれ1フレーム分の映像信号を画素に書き込む期間であるので、いずれのサブフレーム期間においても長さが等しい。サステイン期間は、ここではTs1:Ts2:Ts3=2²:2¹:2⁰=4:2:1というように、2のべき乗の比を有する。ただし、サステイン期間の長さの比が、前述のように2のべき乗となっていなくても、階調の表現は可能である。

【0016】階調表示の方法としては、Ts1からTs3までのサステイン(点灯)期間において、EL素子を点灯させるか点灯させないかのいずれかの状態に制御することにより、1フレーム期間内の総点灯時間の長短によって輝度を制御している。この例では、点灯するサステイン(点灯)期間の組み合わせにより、図9(B)に示すように、2³=8通りの点灯時間の長さを決定することが出来るため、0(全黒表示)~7(全白表示)までの8階調を表示できる。時間階調方式においては、以上のようにして階調表現を行う。もちろん、カラー表示の自発光装置においても、同様の階調表現が可能である。

【0017】さらに階調数を増やす場合は、1フレーム期間の分割数を増やしていけばよい。1フレーム期間をn個のサブフレームに期間に分割した場合、サステイン(点灯)期間の長さの比率はTs1:Ts2:.....Ts(n-1):Ts n=2⁽ⁿ⁻¹⁾:2⁽ⁿ⁻²⁾:.....2¹:2⁰となり、2ⁿ通りの階調を表現することが可能となる。なお、サブフレーム期間の順番は、SF1~SF nまでがランダムに現れるようにしても良い。

【0018】

【発明が解決しようとする課題】ところで、EL素子等の自発光素子を用いた自発光装置に関する問題点について述べる。前述のように、EL素子が点灯している期間は、常に電流が供給され、EL素子内を電流が流れている。これにより、長時間の点灯によって、EL素子自体の性質が劣化し、これを原因として輝度特性が変化する。つまり、劣化したEL素子と劣化していないEL素子とでは、同じ電流供給源から同じ電圧で電流を供給したとしても、その輝度に差が生ずることになる。

【0019】具体例を挙げて説明する。図10(A)は、自発光装置を用いた携帯端末機器等のディスプレイ画面であり、操作用のアイコン等1001が表示されてい

る。通常、このような機器の用途では、図10(A)に示すような静止画表示の割合が大きい。このとき、背景よりも明るい色(階調)でアイコン等が表示されているとすると、アイコン等が表示されている部分の画素におけるEL素子は、背景表示部分のEL素子よりも長い時間点灯していることになるため、より速く劣化が進行する。

【0020】このような条件でEL素子の劣化が進行したとする。劣化後の自発光装置の表示例を図10(B)(C)に示す。まず、図10(B)のような黒表示の場合であるが、EL素子を始めとする自発光素子は、素子に電圧が印加されていない状態で黒を表現することになるので、黒表示の時には劣化は問題とはなりにくい。しかし、白表示の場合には、長時間の点灯によって劣化したEL素子(この場合はアイコン等を表示していた部分のEL素子)においては、同じ電流を供給したとしても、図10(C)において1011で示すように、輝度が不足してムラが生ずる。

【0021】この輝度ムラを解決するには、劣化したEL素子に印加する電圧を上げる方法があるが、通常、自発光装置においては電流供給線は単一配線で構成されており、また、マトリクス状に配置された中での特定の1画素におけるEL素子への印加電圧を変えるための回路を画素部で構成するのは容易でない。さらに、前述のように、EL駆動用TFTのばらつき等があるため、このような補正方法は望ましいとは言えない。

【0022】また、カラー表示の自発光装置においては、R、G、Bを表示する素子によって、その輝度および劣化の程度が異なる場合がある。このような原因による輝度ばらつきを補正する方法がいくつか提案されているが、同じ色の画素によっても、その劣化、輝度のばらつきが生ずる場合もあり、このような場合、前述の方法では対応できない。

【0023】問題を解決する他の方法としては、長時間の点灯に耐えられる特性を有するEL素子を用いるといった方法も考えられるが、現状でのEL素子の寿命は十分とはいえない。よって本発明では、画面内の素子に劣化が生じた場合にも、輝度ムラのない正常な映像表示の可能な自発光装置の提供を課題とする。

【0024】

【課題を解決するための手段】前述の課題を解決するために、本発明においては以下のような手段を講じた。

【0025】本発明の、劣化補正機能を有した自発光装置においては、各画素の点灯時間または、点灯時間と点灯強度とを、映像信号を定期的にサンプリングすることによって検出し、その検出値の累積と、あらかじめ記憶してあるEL素子の輝度特性の経時変化のデータとを参照して、EL素子の劣化した画素を駆動するための映像信号をそのつど補正し、一部の画素におけるEL素子が劣化した自発光装置においても、輝度ムラを生ずることなく、画面の均一性を保つことが出来る。

【0026】以下に、本発明の自発光装置の構成について記載する。

【0027】請求項1に記載の本発明の自発光装置は、映像信号を入力して映像を表示する自発光装置において、各画素の累積点灯時間を検出する手段と、前記累積点灯時間を記憶する手段と、前記記憶された累積点灯時間に応じて前記映像信号を補正する手段とを有し、前記補正された映像信号を用いて映像を表示することを特徴としている。

【0028】請求項2に記載の本発明の自発光装置は、映像信号を入力して映像を表示する自発光装置において、各画素の累積点灯時間と点灯強度とを検出する手段と、前記累積点灯時間と点灯強度とを記憶する手段と、前記記憶された累積点灯時間と点灯強度とに応じて前記映像信号を補正する手段とを有し、前記補正された映像信号を用いて映像を表示することを特徴としている。

【0029】請求項3に記載の本発明の自発光装置は、映像信号を入力して映像を表示する自発光装置において、第1の映像信号をサンプリングし、各画素の自発光素子の点灯時間を定期的に検出するカウンタ部と、前記カウンタ部によって検出された前記各画素の自発光素子の点灯時間を、累積して記憶する記憶回路と、前記記憶回路に累積して記憶された、前記各画素の自発光素子の累積点灯時間に応じて前記第1の映像信号の補正を行い、第2の映像信号を出力する信号補正部と、を有する劣化補正装置と、前期第2の映像信号によって映像の表示を行う表示装置と、を有することを特徴としている。

【0030】請求項4に記載の本発明の自発光装置は、映像信号を入力して映像を表示する自発光装置において、第1の映像信号をサンプリングし、各画素の点灯時間と点灯強度とを、定期的に検出するカウンタ部と、前記カウンタ部によって検出された前記各画素の自発光素子の点灯時間と点灯強度とを、累積して記憶する記憶回路と、前記記憶回路に累積して記憶された、前記各画素の自発光素子の累積点灯時間と点灯強度とに応じて前記第1の映像信号の補正を行い、第2の映像信号を出力する信号補正部と、を有する劣化補正装置と、前期第2の映像信号によって映像の表示を行う表示装置と、を有することを特徴としている。

【0031】請求項5に記載の本発明の自発光装置は、請求項1乃至請求項4のいずれか1項に記載の自発光装置において、 n ビット(n は自然数、 $n \geq 2$)階調の表示を行う自発光装置は、 $n+m$ ビット(m は自然数)の信号処理を行う駆動回路を有し、劣化の生じていない自発光素子を有する画素に書き込まれる映像信号は、 n ビットの映像信号によって階調の表示を行い、劣化の生じた自発光素子を有する画素に書き込まれる映像信号には、 m ビットの信号を用いて階調の補正を行うことによって、前記劣化の生じていない自発光素子と、前記劣化の生じた自発光素子との間で等しい輝度を得ることを特徴とし

ている。

【0032】請求項6に記載の本発明の自発光装置は、請求項1乃至請求項4のいずれか1項に記載の自発光装置において、劣化の生じた自発光素子を有する画素に書き込まれる映像信号には、劣化の生じていない自発光素子を有する画素に書き込まれる映像信号に対し、相対的に加算処理を行うことを特徴としている。

【0033】請求項7に記載の本発明の自発光装置は、請求項1乃至請求項4のいずれか1項に記載の自発光装置において、表示範囲内において、劣化の小さい自発光素子を有する画素あるいは劣化を生じていない自発光素子を有する画素に書き込まれる映像信号には、最も劣化の大きい自発光素子を有する画素に書き込まれる映像信号に対し、相対的に減算処理を行うことを特徴としている。

【0034】請求項8に記載の本発明の自発光装置は、請求項1乃至請求項7のいずれか1項に記載の自発光装置において、前記記憶手段または前記記憶回路はスタティック型記憶回路(SRAM)であることを特徴としている。

【0035】請求項9に記載の本発明の自発光装置は、請求項1乃至請求項7のいずれか1項に記載の自発光装置において、前記記憶手段または前記記憶回路はダイナミック型記憶回路(DRAM)であることを特徴としている。

【0036】請求項10に記載の本発明の自発光装置は、請求項1乃至請求項7のいずれか1項に記載の自発光装置において、前記記憶手段または記憶回路は強誘電体記憶回路(FRAM)であることを特徴としている。

【0037】請求項11に記載の本発明の自発光装置は、請求項1乃至請求項7のいずれか1項に記載の自発光装置において、前記記憶手段または記憶回路は、電気的に書き込み、読み出し、消去が可能な不揮発性メモリ(EEPROM)であることを特徴としている。

【0038】請求項12に記載の本発明の自発光装置は、請求項1または請求項2に記載の自発光装置において、前記検出手段と、前記記憶手段と、前記補正手段とは、前記自発光装置の外部の回路によって構成されることを特徴としている。

【0039】請求項13に記載の本発明の自発光装置は、請求項1または請求項2に記載の自発光装置において、前記検出手段と、前記記憶手段と、前記補正手段とは、前記自発光装置と同一の絶縁体上に形成されることを特徴としている。

【0040】請求項14に記載の本発明の自発光装置は、請求項3乃至請求項11に記載の自発光装置において、前記カウンタ部と、前記記憶回路と、前記信号補正部とは、前記自発光装置の外部の回路によって構成されることを特徴としている。

【0041】請求項15に記載の本発明の自発光装置

は、請求項 3 乃至請求項 11 に記載の自発光装置において、前記カウンタ部と、前記記憶回路と、前記信号補正部とは、前記自発光装置と同一の絶縁体上に形成されることを特徴としている。

【0042】請求項 16 に記載の本発明の自発光装置は、請求項 1 乃至請求項 15 のいずれか 1 項に記載の自発光装置において、前記自発光装置は E L ディスプレイであることを特徴としている。

【0043】請求項 17 に記載の本発明の自発光装置は、請求項 1 乃至請求項 15 のいずれか 1 項に記載の自発光装置において、前記自発光装置は P D P ディスプレイであることを特徴としている。

【0044】請求項 18 に記載の本発明の自発光装置は、請求項 1 乃至請求項 15 のいずれか 1 項に記載の自発光装置において、前記自発光装置は F E D ディスプレイであることを特徴としている。

【0045】請求項 19 に記載の本発明の自発光装置の駆動方法は、映像信号を入力して映像を表示する自発光装置の駆動方法であって、第 1 の映像信号をサンプリングし、カウンタ部において各画素の自発光素子の点灯時間を定期的に検出し、前記カウンタ部によって検出された前記各画素の自発光素子の点灯時間を、記憶回路において累積して記憶し、前記記憶回路に累積して記憶された、前記各画素の自発光素子の累積点灯時間に応じて、信号補正部は前記第 1 の映像信号を補正して第 2 の映像信号を出力し、前期第 2 の映像信号によって映像の表示を行うことを特徴としている。

【0046】請求項 20 に記載の本発明の自発光装置の駆動方法は、映像信号を入力して映像を表示する自発光装置の駆動方法であって、第 1 の映像信号をサンプリングし、カウンタ部において各画素の自発光素子の点灯時間と点灯強度と定期的に検出し、前記カウンタ部によって検出された前記各画素の自発光素子の点灯時間と点灯強度とを、記憶回路において累積して記憶し、前記記憶回路に累積して記憶された、前記各画素の自発光素子の累積点灯時間と点灯強度とに応じて、信号補正部は前記第 1 の映像信号を補正して第 2 の映像信号を出力し、前期第 2 の映像信号によって映像の表示を行うことを特徴としている。

【0047】請求項 21 に記載の本発明の自発光装置の駆動方法は、請求項 19 または請求項 20 に記載の自発光装置の駆動方法において、 n ビット (n は自然数、 $n \geq 2$) 階調の表示を行う自発光装置は、 $n + m$ ビット (m は自然数) の信号処理を行う駆動回路を有し、劣化の生じていない自発光素子を有する画素に書き込まれる映像信号は、 n ビットの映像信号によって階調の表示を行い、劣化の生じた自発光素子を有する画素に書き込まれる映像信号には、 m ビットの信号を用いて階調の補正を行うことによって、前記劣化の生じていない自発光素子と、前記劣化の生じた自発光素子との間で等しい輝度を

得ることを特徴としている。

【0048】請求項 22 に記載の本発明の自発光装置の駆動方法は、請求項 19 乃至請求項 21 のいずれか 1 項に記載の自発光装置において、劣化の生じた自発光素子を有する画素に書き込まれる映像信号には、劣化の生じていない自発光素子を有する画素に書き込まれる映像信号に対し、相対的に加算処理を行うことを特徴としている。

【0049】請求項 23 に記載の本発明の自発光装置の駆動方法は、請求項 19 乃至請求項 21 のいずれか 1 項に記載の自発光装置において、表示範囲内において、劣化の小さい自発光素子を有する画素あるいは劣化を生じていない自発光素子を有する画素に書き込まれる映像信号には、最も劣化の大きい自発光素子を有する画素に書き込まれる映像信号に対し、相対的に減算処理を行うことを特徴としている。

【0050】

【発明の実施の形態】図 1 を参照する。図 1 は、本発明の劣化補正機能を有する自発光装置のブロック図を示している。本発明の基幹である劣化補正装置は、I: カウンタ部、II: 記憶回路部、III: 信号補正部からなる。I はカウンタ 102 を有し、II は揮発性メモリ 103 および不揮発性メモリ 104 を有し、III は補正回路 105 および補正データ格納部 106 を有している。

【0051】表示装置 107 におけるソース信号線駆動回路の回路図を図 14 (A) に示す。ここでは、デジタル映像信号に対応した表示装置を例としている。ソース信号線駆動回路は、シフトレジスタ (SR) 1401、第 1 のラッチ回路 (LAT1) 1402、第 2 のラッチ回路 (LAT2) 1403 等を有する。1404 は画素、1405 は、図 1 に示した劣化補正装置である。

【0052】各部の動作について説明する。クロック信号 (CLK)、スタートパルス (SP) にしたがって、シフトレジスタからサンプリングパルスが順次出力される。第 1 のラッチ回路では、サンプリングパルスのタイミングに従って、デジタル映像信号の保持を行う。図 14 (A) に示すように、この時点では既に映像信号は補正が完了し、第 2 の映像信号となっている。第 1 のラッチ回路において、1 水平期間分の保持が終了すると、ラッチパルスが出力されて第 2 のラッチ回路へのデジタル映像信号の転送が行われる。その後、第 2 のラッチ回路から画素への書き込みが行われる。同時に、再びシフトレジスタからのサンプリングパルスにしたがって、第 1 のラッチ回路ではデジタル映像信号の保持が行われる。

【0053】続いて、劣化補正装置全体の動作について説明する。まず、自発光装置に用いる E L 素子について、その輝度特性の経時変化のデータを、補正データ格納部 106 にあらかじめ記憶させておく。このデータは、後に説明するが、主に各画素の E L 素子の劣化の程度にしたがって信号の補正を行う際のマップとして用い

る。

【0054】続いて、定期的に(例えば1秒毎に)第1の映像信号101Aをサンプリングし、その信号より、各画素での点灯、非点灯をカウンタ102がカウントする。ここでカウントされた各画素における点灯回数は、順次、記憶回路部に記憶されていく。ここで、この点灯回数は累積していくため、記憶回路は不揮発性メモリを用いて構成するのが望ましいが、不揮発性メモリは一般的にその書き込みの回数が限られているため、図1に示すように、自発光装置の動作中は揮発性メモリ103を用いて記憶を行い、一定時間毎に(例えば1時間毎、あるいは電源のシャットダウン時など)不揮発性メモリ104に書き込むようにしても良い。

【0055】また、EL素子を用いての階調表現が輝度制御によっても行われる場合には、そのときのEL素子の点灯強度を共に検出し、点灯時間と点灯強度との両方から劣化の状態を判断すると良い。この場合は、補正用のデータもそれに合わせて作成する。

【0056】また、記憶回路に用いるメモリの種類としては、スタティック型メモリ(SRAM)、ダイナミック型メモリ(DRAM)、強誘電体メモリ(FRAM)、EEPROM、フラッシュメモリ等が挙げられるが、本発明はこれらを限定することではなく、一般に用いられているものを用いて構成すれば良い。ただし、揮発性メモリにDRAMを用いる場合には、定期的なりフレッシュ機能を付加する必要がある。

【0057】次に、映像信号の補正動作に移る。再び図1を参照する。補正回路105には、第1の映像信号101Aと、各画素の累積点灯時間または、累積点灯時間と点灯強度とのデータとが入力される。補正回路105は、あらかじめ補正データ格納部に記憶された映像信号補正用のマップと、各画素の累積点灯時間または、累積点灯時間と点灯強度とを参照し、各画素の劣化の程度にあわせて、入力された映像信号の補正を行う。このようにして補正が行われた第2の映像信号101Bが、表示装置107へと入力され、画像の表示を行う。

【0058】電源遮断時には、揮発性の記憶回路に記憶されている各画素のEL素子の累積点灯時間または、累積点灯時間と点灯強度を、不揮発性の記憶回路に記憶されている累積点灯時間または、累積点灯時間と点灯強度に加算して記憶しておく。これにより、次の電源投入後、継続してEL素子の点灯時間または、点灯時間と点灯強度の累積カウントが行われる。

【0059】以上のようにして、定期的にEL素子の点灯時間の検出を行い、累積点灯時間または、累積点灯時間と点灯強度を記憶しておくことで、あらかじめ記憶してあるEL素子の輝度特性の経時変化のデータとを参照して、映像信号をそのつど補正し、劣化したEL素子には、劣化していないものと同等の輝度が達成できるように映像信号に補正を加えることが出来る。よって、輝度

ムラを生ずることなく、画面の均一性を保つことが出来る。

【0060】また、本発明の自発光装置において用いている補正方法によると、ユーザによる操作を必要としないため、エンドユーザに渡った後も継続して補正を続けることにより、製品としての長寿命化が見込める。

【0061】以上は、自発光装置としてEL素子を用いたものを例に挙げて説明したが、本発明の自発光装置は、ELに限らずPDP、FEDなど、他の自発光装置であっても良い。

【実施例】以下に本発明の実施例について記述する。

【0062】[実施例1]本実施例においては、信号補正部における、デジタル映像信号の補正方法について説明する。

【0063】劣化したEL素子の輝度を信号レベルで補完する方法の1つとして、入力されるデジタル映像信号にある補正値を加算し、実質的に数階調上の信号に変換することによって、劣化前と同等の輝度を達成する方法が挙げられる。これを回路設計で最も簡単に実現するには、上乗せ用の階調を処理出来るだけの回路をあらかじめ用意しておけばよい。具体的には、例えば本発明の劣化補正機能を有する6ビットデジタル階調(64階調)仕様の自発光装置の場合、補正を行うための上乗せ用として1ビット分の処理能力を追加し、実質7ビットデジタル階調(128階調)として設計、作成し、通常の動作においては、下位6ビットを使用しておき、EL素子に劣化が生じた場合には、通常のデジタル映像信号に補正値を加算し、その加算分の信号処理は、前述の上乗せ用1ビットを用いて行う。この場合、最上位ビット(Most Significant Bit: MSB)は信号補正用としてのみ用いられ、実際の表示階調は6ビットである。

【0064】また、上位ビットを補正に用いる場合、特に最上位の1ビットでなくとも良い。つまり、通常表示を6ビットで行う場合、8ビット以上の処理能力を有する駆動回路を用いても操作は同様である。

[実施例2]本実施例においては、実施例1とは異なったデジタル映像信号の補正方法について説明する。

【0065】図1および図2を参照する。図2(A)は、図1における表示装置107の画素の一部を示している。ここで、画素201~203の3画素について考える。まず、画素201は、劣化の生じていない画素であり、画素202、203はいずれも、各々ある程度の劣化を生じているとする。このとき、劣化の程度が画素202よりも画素203の方が大きいとすると、当然ながら劣化に伴う輝度の低下も大きくなる。つまり、ある中間調を表示すると、図2(B)のように輝度ムラが生ずる。画素201の輝度に対し、画素202の輝度は低くなり、さらに画素203の輝度は低くなる。

【0066】次に、実際の補正動作について説明する。EL素子の点灯時間または、点灯時間および点灯強度

と、劣化に伴う輝度低下との関係をあらかじめ測定し、累積点灯時間に対する補正量を設定したマップを用意して、補正データ格納部 106 に記憶しておく。一例を図 2 (C) に示す。200 で示すブロック内の数字は、デジタル映像信号の補正量を表す。つまり、EL 素子の劣化が a の段階まで累積した画素に入力されるデジタル映像信号には、常に 1 が加えられ、1 階調分明るくした信号に補正される。同様に、b の段階においては 2 階調、c の段階では 3 階調の補正が加えられることになる。累積点灯時間もしくは累積点灯時間と点灯強度と劣化に伴う輝度低下は、必ずしも正比例関係とはならない場合もあり、映像信号の補正幅は、1 階調ごとのステップで近似される。

【0067】図 1 において、補正回路 105 には、デジタル映像信号 (第 1 の映像信号) 101A の入力と、記憶回路部に記憶されている各画素の累積点灯時間の読み出しが行われる。読み込まれた各画素の累積点灯時間または、累積点灯時間と点灯強度とを前述した補正用マップに照らし合わせて、各々のデジタル映像信号の補正値が決定される。図 2 (A) を用いて具体的に説明すると、画素 201 は、その累積点灯時間または、累積点灯時間と点灯強度より、劣化が生じていないと判断され、映像信号の補正は行われない。画素 202 が、図 2 (B) において、a の段階まで劣化が進んでいると判断されると、画素 202 を点灯させるデジタル映像信号には、図 2 (D) に示すように、+1 階調の加算処理による補正が加えられる。同様に、画素 203 が、b の段階まで劣化が進んでいると判断されると、画素 203 を点灯させるデジタル映像信号には、+2 階調の加算処理による補正が加えられる。以上のように、加算処理による補正によって、図 2 (E) に示すように均一な輝度の画面を得ることが出来る。

【0068】続いて、減算処理による補正方法について述べる。図 1、図 3 を参照する。図 3 (A) ~ (C) に関しては図 2 (A) ~ (C) と同様であるので、ここでは説明を省略する。

【0069】図 3 (C) に示した補正量を設定したマップに、各画素における累積点灯時間または、累積点灯時間と点灯強度とを照らし合わせて、各々のデジタル映像信号の補正値が決定される。このとき、基準となる画素、つまり補正を行わないでオリジナルのデジタル映像信号がそのまま入力される画素は、その累積点灯時間または、累積点灯時間と点灯強度より、劣化が最も進行していると判断された画素である。具体的には、図 3 (B) における画素 303 がそれに該当する。これを基準として、他の画素に入力されるデジタル映像信号を、その劣化の程度に応じて補正する。図 3 (D) に示すように、最も劣化の進んだ (図 3 (C) 中、b の段階まで進んでいるとする) 画素 303 には、オリジナルのデジタル映像信号が入力され、画素 303 よりも 1 段階劣化の程度が軽

い (図 3 (C) 中、a の段階まで進んでいるとする) 画素 302 には、-1 階調の補正が加えられたデジタル映像信号が入力され、その累積点灯時間または、累積点灯時間と点灯強度から、劣化が生じていないと判断される画素 301 には、-2 階調の補正が加えられたデジタル映像信号が入力される。

【0070】しかしながら、上述の手段によって補正を行うと、画面全体の輝度が数階調 (オリジナルのデジタル映像信号による階調と、EL 素子に劣化の生じていない画素に書き込まれる第 2 の映像信号による階調との差) 分だけ低下することになる。よって同時に、図 3 (D) に示すように、電流供給線の電位を変化させることにより、EL 素子の両極間の電圧 V_{EL} をやや高くしてやる ($V_{EL1} + \delta \rightarrow V_{EL2}$) ことによって画面全体の輝度を補完する。

【0071】前者の加算処理による補正の場合、デジタル映像信号の処理のみによって輝度ムラの補正が可能であるというのに対し、白表示における補正が利かない (具体的には、例えば 6 ビットデジタル映像信号として、“111111” が入力された場合、これ以上の加算が出来ない) という欠点がある。また、後者の減算処理による補正の場合、輝度補完のための電流供給線の電位制御が加わるが、加算処理による補正とは逆に、補正の利かない範囲が黒表示の範囲であるため、ほとんど影響がない (具体的には、例えば 6 ビットデジタル映像信号として、“000000” が入力された場合、これ以上の減算を行う必要なく、通常の EL 素子と劣化した EL 素子との間で正確な黒表示 (単に EL 素子を非点灯状態としておけばよい) が可能である。また、黒近辺の数階調も、表示装置の対応ビット数がある程度高ければほとんど問題とならない) という特徴がある。両者とも、多階調化に有利な方法である。

【0072】また例えば、ある階調を境界として、加算処理と減算処理の両方の補正方法を併用することで、双方のデメリットを補うことも有効な手段といえる。

【0073】【実施例 3】本発明の劣化補正機能を有する自発光装置において、実施形態にて示した例 (図 1) では、劣化補正装置は表示装置 107 の外部に置かれ、デジタル映像信号 (第 1 の映像信号) 101A はまず補正回路 105 に入力されて直ちに補正が行われ、補正済みのデジタル映像信号 (第 2 の映像信号) 101B が表示装置 107 に FPC を介して入力されていた。このような方法によるメリットとしては、劣化補正装置のユニット化による互換性 (従来の自発光装置を、表示装置 107 としてそのまま用いることも出来る) が挙げられるが、一方で、劣化補正装置および表示装置を同一基板上に一体形成することで、部品点数の大幅削減による低コスト化、省スペース化、高速駆動を実現しうる。

【0074】本発明の劣化補正機能を有する自発光装置において、劣化補正装置を表示装置と同一の基板上に一

体形成した例を図 4 (A) に示す。基板 401 上に、ソース信号線駆動回路 402、ゲート信号線駆動回路 403、画素部 404、電流供給線 405、FPC 406 を有する表示装置と、劣化補正装置 407 とが一体形成されている。図 4 (B) は、図 4 (A) における劣化補正装置 407 の内部ブロック図の一例である。無論、基板上のレイアウトは図の例に限定しないが、信号線等の配置、配線長等を考慮しつつ、ブロックごとに近接配置するのが望ましい。

【0075】デジタル映像信号(第 1 の映像信号) 411 A は、外部の映像ソースから FPC 406 を介して劣化補正装置 407 内の補正回路 415 に入力される。その後、実施形態および実施例 1~2 において示した方法によって補正が行われた、補正済みデジタル映像信号(第 2 の映像信号) 411 B が、ソース信号線駆動回路 402 に入力される。

【0076】なお、図 4 では示していないが、劣化補正装置には、必要な制御信号を入力すれば良い。図 4 (A) に示した例では、FPC 406 とソース信号線駆動回路 402 との間に劣化補正装置 407 を配置しており、制御信号の引き回しが容易となっている。

【0077】【実施例 4】図 13 を参照する。本発明の劣化補正機能を有する自発光装置においては、その表示装置がアナログ映像信号に対応したものである場合にも容易に適用が可能である。そのような場合には、I: カウンタ部、II: 記憶回路部、III: 信号補正部からなる劣化補正装置から出力される第 2 の映像信号(デジタル映像信号)は、D/A 変換回路 1307 によってアナログ映像信号へと変換され、アナログ映像信号に対応した表示装置 1308 へと入力されて画像の表示が行われる。

【0078】図 13 における表示装置 1308 におけるソース信号線駆動回路の回路図を図 14 (B) に示す。ここでは、アナログ映像信号に対応した表示装置を例としている。ソース信号線駆動回路は、シフトレジスタ(SR) 1411、レベルシフタ 1412、バッファ 1413、サンプリングスイッチ 1414 等を有する。1415 は画素、1416 は、図 13 に示した劣化補正装置、1417 は D/A 変換回路である。

【0079】各部の動作について説明する。クロック信号(CLK)、スタートパルス(SP)にしたがって、シフトレジスタからサンプリングパルスが順次出力される。その後、レベルシフタによってパルスの電圧振幅が拡大され、バッファを経由して出力される。デジタル映像信号は、劣化補正装置においてそれぞれ補正が行われ、D/A 変換回路においてアナログ映像信号へと変換され、ビデオ信号線へと入力される。その後サンプリングパルスのタイミングにしたがってサンプリングスイッチが開き、ビデオ信号線に入力されているアナログ映像信号をサンプリングし、電圧情報を画素に書き込むことによって画像の表示を行う。

【0080】なお、図 13 に示した例では、劣化補正装置は表示装置の外部に設けられているが、実施例 3 で述べたとおり、これらを同一基板上に一体形成しても良い。

【0081】【実施例 5】本実施例では、本発明の自発光装置の画素部とその周辺に設けられる駆動回路部(ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路)の TFT を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である CMOS 回路を図示することとする。

【0082】図 5 (A) を参照する。まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 500 を用いる。なお、基板 500 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0083】次いで、基板 500 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 5001 を形成する。本実施例では下地膜 5001 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 5001 の 1 層目としては、プラズマ CVD 法を用い、SiH₄、NH₃、及び N₂O を反応ガスとして成膜される酸化窒化珪素膜 5001a を 10~200 [nm] (好ましくは 50~100 [nm]) 形成する。本実施例では、膜厚 50 [nm] の酸化窒化珪素膜 5001a (組成比 Si=32 [%]、O=27 [%]、N=24 [%]、H=17 [%]) を形成した。次いで、下地膜 5001 の 2 層目としては、プラズマ CVD 法を用い、SiH₄、及び N₂O を反応ガスとして成膜される酸化窒化珪素膜 5001b を 50~200 [nm] (好ましくは 100~150 [nm]) の厚さに積層形成する。本実施例では、膜厚 100 [nm] の酸化窒化珪素膜 5001b (組成比 Si=32 [%]、O=59 [%]、N=7 [%]、H=2 [%]) を形成した。

【0084】次いで、下地膜上に半導体層 5002~5005 を形成する。半導体層 5002~5005 は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD 法、またはプラズマ CVD 法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターンニングして形成する。この半導体層 5002~5005 は、25~80 [nm] (好ましくは 30~60 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム(Si_xGe_{1-x}(x=0.0001~0.02))合金などで形成すると良い。本実施例では、プラズマ CVD

法を用い、55[nm]の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500[°C]、1時間)を行った後、熱結晶化(550[°C]、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜から、フォトリソグラフィ法を用いたパターンニング処理によって、半導体層5002~5005を形成した。

【0085】また、半導体層5002~5005を形成した後、TFEのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0086】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²] (代表的には200~300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600[mJ/cm²] (代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90[%]として行えばよい。

【0087】次いで、半導体層5002~5005を覆うゲート絶縁膜5006を形成する。ゲート絶縁膜5006はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110[nm]の厚さで酸化窒化珪素膜(組成比Si=32[%]、O=59[%]、N=7[%]、H=2[%])で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0088】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[°C]とし、高周波(13.56[MHz])電力密度0.5~0.8[W/cm²]で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0089】次いで、ゲート絶縁膜5006上に膜厚20~100[nm]の第1の導電膜5007と、膜厚100

~400[nm]の第2の導電膜5008とを積層形成する。本実施例では、膜厚30[nm]のTa_xN膜からなる第1の導電膜5007と、膜厚370[nm]のW膜からなる第2の導電膜5008を積層形成した。Ta_xN膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って本実施例では、高純度のW(純度99.9999[%])のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μΩcm]を実現することができた。

【0090】なお、本実施例では、第1の導電膜5007をTa_xN、第2の導電膜5008をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cuからなる合金を用いてもよい。また、第1の導電膜をTa膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜をTiN膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜をTa_xN膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0091】次に、図5(B)に示すようにフォトリソグラフィ法を用いてレジストからなるマスク5009を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645-□ICP)を用いた。基板側(試料ステージ)にも150[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチン

グ速度は200.39[nm/min.]、Ta₂N₅に対するエッチング速度は80.32[nm/min.]であり、Ta₂N₅に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

【0092】この後、図5(B)に示すようにレジストからなるマスク5009を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではW膜及びTa₂N₅膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97[nm/min.]、Ta₂N₅に対するエッチング速度は66.43[nm/min.]である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。

【0093】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5010~5014(第1の導電層5010a~5014aと第2の導電層5010b~5014b)を形成する。ゲート絶縁膜5006においては、第1の形状の導電層5010~5014で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0094】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する(図5(B))。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15}$ [atoms/cm²]とし、加速電圧を60~100[keV]として行う。本実施例ではドーズ量を 1.5×10^{15} [atoms/cm²]とし、加速電圧を80[keV]として行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、第1の形状の導電層5010~5014がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域5015~5018が形成される。高濃度不純物領域5015~5018には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加する。

【0095】次いで、図5(C)に示すようにレジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を20/20/20[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124. [nm/min.]、Ta₂N₅に対するエッチング速度は20. [nm/min.]であり、Ta₂N₅に対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層5019b~5023bを形成する。一方、第1の導電層5010a~5014aは、ほとんどエッチングされず、第1の導電層5019a~5023aを形成する。

【0096】次いで、第2のドーピング処理を行う。ドーピングは第2の導電層5019b~5023bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーズ量 1.5×10^{14} [atoms/cm²]、電流密度0.5[μA]、加速電圧90[keV]にてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域329~333を自己整合的に形成する。この低濃度不純物領域5024~5027へ添加されたリン(P)の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18}$ [atoms/cm³]であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域5015~5018にも不純物元素が添加される(図6(A))。

【0097】次いで、図6(B)に示すようにレジストからなるマスクを除去してからフォトリソグラフィ法を用いて、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、第2の導電層と重なる形状にするために行われる。ただし、第3のエッチングを行わない領域には、レジスト5028からなるマスクを形成する。

【0098】第3のエッチング処理におけるエッチング条件は、エッチングガスとしてCl₂とSF₆とを用い、それぞれのガス流量比を10/50[sccm]として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理でのTa₂N₅に対するエッチング速度は、111.2[nm/min.]であり、ゲート絶縁膜に対するエッチング速度は、12.8[nm/min.]

n.]である。

【0099】本実施例では、1.3 [Pa]の圧力でコイル型の電極に500 [W]のRF(13.56 [MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも10 [W]のRF(13.56 [MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層5029a~5032aが形成される。

【0100】上記第3のエッチングによって、第1の導電層5029a~5032aと重ならない不純物領域(LDD領域)5033~5035が形成される。なお、不純物領域(GOLD領域)5024は、第1の導電層5019aと重なったままである。

【0101】また、第1の導電層5019aと第2の導電層5019bとで形成された電極は、最終的に駆動回路のnチャネル型TFTのゲート電極となり、また、第1の導電層5029aと第2の導電層5029bとで形成された電極は、最終的に駆動回路のpチャネル型TFTのゲート電極となる。

【0102】同様に、第1の導電層5030a~5031aと第2の導電層5030b~5031bとで形成された電極は、最終的に画素部のnチャネル型TFTのゲート電極となり、第1の導電層5032aと第2の導電層5032bとで形成された電極は、最終的に画素部のpチャネル型TFTのゲート電極となる。

【0103】このようにして、本実施例は、第1の導電層5029a~5032aと重ならない不純物領域(LDD領域)5033~5035と、第1の導電層5019aと重なる不純物領域(GOLD領域)5024を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

【0104】次いで、レジストからなるマスクを除去した後、ゲート絶縁膜5006をエッチング処理する。ここでのエッチング処理は、エッチングガスにCHF₃を用い、反応性イオンエッチング法(RIE法)を用いて行う。本実施例では、チャンバー圧力6.7 [Pa]、RF電力800 [W]、CHF₃ガス流量35 [sccm]で第3のエッチング処理を行った。これにより、高濃度不純物領域5015~5018の一部は露呈し、ゲート絶縁膜5006a~5006dが形成される。

【0105】次に、新たにレジストからなるマスク5036を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記第1の導電型(n型)とは逆の第2の導電型(p型)を付与する不純物元素が添加された不純物領域5037~5040を形成する。(図3(C))第1の導電層5029aおよび5032aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【0106】本実施例では、不純物領域5037~50

40はジボラン(B₂H₆)を用いたイオンドーブ法で形成する。なお、この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク5036で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域5037~5040にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0107】以上までの工程でそれぞれの半導体層に不純物領域が形成される。なお、本実施例では、ゲート絶縁膜をエッチングした後で不純物(B)のドーピングを行う方法を示したが、ゲート絶縁膜をエッチングしないで不純物のドーピングを行っても良い。

【0108】次いで、レジストからなるマスク5036を除去して図7(A)に示すように第1の層間絶縁膜5041を形成する。この第1の層間絶縁膜5041としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200 [nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150 [nm]の酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5041は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0109】次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400~700 [°C]、代表的には500~550 [°C]で行えばよく、本実施例では550 [°C]、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0110】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したNiが高濃度のPを含む不純物領域(5015、5017、5037~5038)にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0111】また、第1の層間絶縁膜5041を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜5041(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0112】その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜5041を形成させても良い。

【0113】さらに、3~100[%]の水素を含む雰囲気中で、300~550[°C]で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3[%]の含む窒素雰囲気中で410[°C]、1時間の熱処理を行った。この工程は層間絶縁膜5041に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0114】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0115】次いで、図7(B)に示すように第1の層間絶縁膜5041上に有機絶縁材料から成る第2の層間絶縁膜5042を形成する。本実施例では膜厚1.6[μm]のアクリル樹脂膜を形成した。次いで、各不純物領域5015、5017、5037~5038に達するコンタクトホールを形成するためのパターニングを行う。

【0116】第2の層間絶縁膜5042としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)などを用いることができる。

【0117】本実施例では、プラズマCVD法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは1~5[μm](さらに好ましくは2~4[μm])とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないためにEL素子の劣化を抑える上で有効である。また、コンタクトホールの形成には、ドライエッチングまたはウェットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウェットエッチング法を用いるのが望ましい。

【0118】さらに、ここでのコンタクトホールの形成において、第1層間絶縁膜5041及び第2層間絶縁膜5042を同時にエッチングするため、コンタクトホールの形状を考えると第2層間絶縁膜5042を形成する材料は、第1層間絶縁膜5041を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0119】そして、各不純物領域5015、5017、5037~5038とそれぞれ電気的に接続する配線5043~5049を形成する。ここでは、膜厚50[nm]のTi膜と、膜厚500[nm]の合金膜(AIとTiとの合金膜)との積層膜をパターニングして形成する

が、他の導電膜を用いても良い。

【0120】次いで、その上に透明導電膜を80~120[nm]の厚さで形成し、パターニングすることによって画素電極5050を形成する(図7(B))。なお、本実施例では、画素電極5050には、酸化インジウム・スズ(ITO)膜や酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いる。

【0121】また、画素電極5050は、ドレイン配線5048と接して重ねて形成することによってEL駆動用TFTのドレイン領域と電気的な接続が形成される。

【0122】次に、図8(A)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500[nm]の厚さに形成し、透明電極5050に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5051を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0123】なお、本実施例においては、第3の層間絶縁膜5051として酸化珪素膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)といった有機樹脂膜を用いることもできる。

【0124】次に、図8(A)で示すようにEL層5052を蒸着法により形成し、更に蒸着法により陰極電極(MgAg電極)5053および保護電極5054を形成する。このときEL層5052及び陰極電極5053を形成するに先立って画素電極5050に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではEL素子の陰極電極としてMgAg電極を用いているが、公知の他の材料であっても良い。

【0125】なお、EL層5052としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)となる2層構造をEL層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0126】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30~40[%]分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1[%]添加している。

【0127】また、保護電極5054でもEL層5052を水分や酸素から保護することは可能であるが、さらに好ましくはパッシベーション膜5055を設けると良い。本実施例ではパッシベーション膜5055として300[nm]厚の窒化珪素膜を設ける。このパッシベシ

ン膜も保護電極5054形成の後に大気解放しないで連続的に形成しても構わない。

【0128】また、保護電極5054は陰極電極5053の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、EL層5052、陰極電極5053は非常に水分に弱いので、保護電極5054までを大気解放しないで連続的に形成し、外気からEL層5052を保護することが望ましい。

【0129】なお、EL層5052の膜厚は10～400[nm] (典型的には60～150[nm])、陰極電極5053の厚さは80～200[nm] (典型的には100～150[nm])とすれば良い。

【0130】こうして図8(A)に示すような構造のELモジュールが完成する。なお、本実施例におけるELモジュールの作製工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0131】また、本実施例によって、nチャネル型TFT5101及びpチャネル型TFT5102を有する駆動回路と、スイッチング用TFT5103、EL駆動用TFT5104とを有する画素部とを同一基板上に形成することができる。

【0132】なお、本実施例においては、EL素子の素子構成から下面出射(光の出射方向はTFT基板側である)となるためスイッチング用TFT5103にnチャネル型TFT、EL駆動用TFT5104にpチャネル型TFTを用いるという構成を示したが、本実施例は、好ましい1形態にすぎず、これに限られる必要はない。

【0133】なお、本実施例においては、画素電極(陽極)5050上にEL層5052を形成させた後、陰極電極5053を形成させる構造を示したが、画素電極(陰極)上にEL層及び陽極を形成させる構造としても良い。ただし、この場合には、これまで説明した下面出射と異なり、上面出射の形態をとる。また、この時、スイッチング用TFTおよびEL駆動用TFTは、本実施例で説明した低濃度不純物領域(LDD領域)を有するnチャネル型TFTで形成するのが望ましい。

【0134】【実施例6】本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

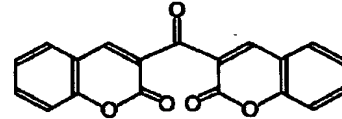
【0135】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

上記の論文により報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0136】

【化1】

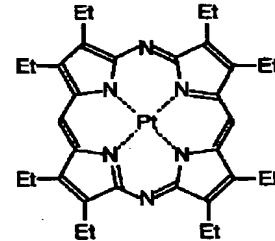


【0137】(M. A. Baldo, D. F. O' Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest, Nature 395(1998) p. 151.)

上記の論文により報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0138】

【化2】



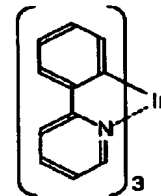
【0139】(M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75(1999) p. 4.)

(T. Tsutsui, M.-J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38(12B) (1999) L1502.)

上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0140】

【化3】



【0141】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1～実施例9のいずれの構成とも自由に組みあわせて実施することが可能である。

【0142】【実施例7】本発明の自発光装置を応用したELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることができる。

【0143】なお、ELディスプレイには、パソコン用表示装置、TV放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の自発光装置を用いることが出来る。

【0144】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図11および図12に示す。

【0145】図11(A)はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の自発光装置は表示部3303にて用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0146】図11(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の自発光装置は表示部3312にて用いることが出来る。

【0147】図11(C)はヘッドマウントELディスプレイの一部(右片側)であり、本体3321、信号ケーブル3322、頭部固定バンド3323、表示部3324、光学系3325、表示装置3326等を含む。本発明の自発光装置は表示装置3326にて用いることが出来る。

【0148】図11(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335等を含む。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示するが、本発明の自発光装置はこれら表示部(a)3334、表示部(b)3335にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0149】図11(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3341、表示部3342、アーム部3343を含む。本発明の自発光装置は表示部3342にて用いることが出来る。

【0150】図11(F)はパーソナルコンピュータであ

り、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の自発光装置は表示部3353にて用いることが出来る。

【0151】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0152】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0153】また、ELディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0154】図12(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の自発光装置は表示部3404にて用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0155】図12(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の自発光装置は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3414は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0156】図12(C)はデジタルカメラであり、本体3501、表示部(A)3502、接眼部3503、操作スイッチ3504、表示部(B)3505、バッテリー3506を含む。本発明の電気光学装置は、表示部(A)3502、表示部(B)3505にて用いることが出来る。

【0157】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例5に示したいずれの構成を適用しても良い。

【発明の効果】本発明の自発光装置によって、点灯時間の差によるEL素子の劣化を回路側で補正し、輝度ムラのない均一な画面の表示が可能な自発光装置を提供することが出来る。

【図面の簡単な説明】

【図1】 本発明の劣化補正機能を有する自発光装置のブロック図。

【図2】 加算処理による補正方法を示した図。

【図3】 減算処理による補正方法を示した図。

【図4】 表示装置と信号補正装置とを同一基板上に一体形成した場合の自発光装置の一例を示したブロック図。

【図5】 アクティブマトリクス型自発光装置の作成工程例を示した図。

【図6】 アクティブマトリクス型自発光装置の作成工程例を示した図。

【図7】 アクティブマトリクス型自発光装置の作成工程例を示した図。

【図8】 アクティブマトリクス型自発光装置の作成

工程例を示した図。

【図9】 時間階調方式について説明した図。

【図10】 発光素子の劣化による画面の輝度ムラの発生を示した図。

【図11】 本発明の劣化補正機能を有する自発光装置の電子機器への応用例を示した図。

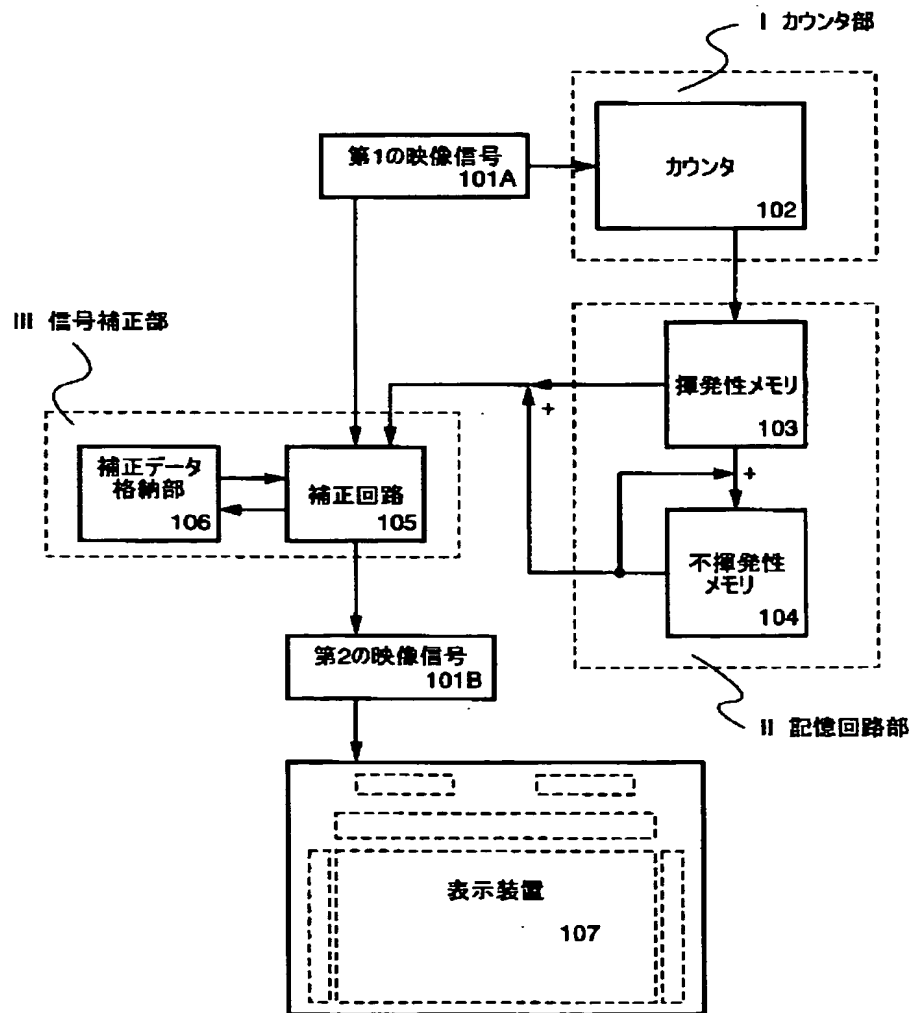
【図12】 本発明の劣化補正機能を有する自発光装置の電子機器への応用例を示した図。

【図13】 本発明の劣化補正機能を有する自発光装置のブロック図。

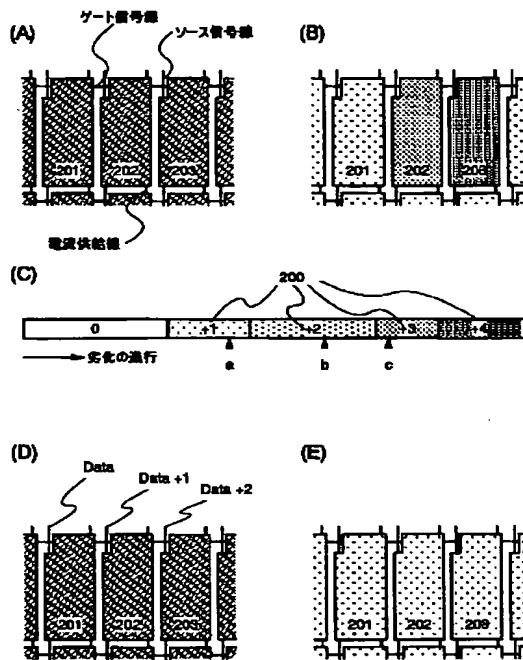
【図14】 本発明の劣化補正機能を有する自発光装置における、デジタル映像信号入力方式およびアナログ信号入力方式のソース信号線駆動回路のブロック図。

【図15】 従来の自発光装置の一例を示した図。

【図1】

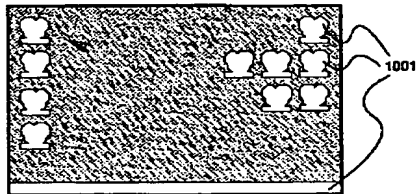


【図2】



【図10】

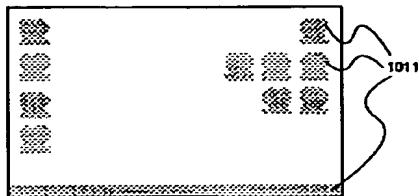
(A) 静止画像表示時



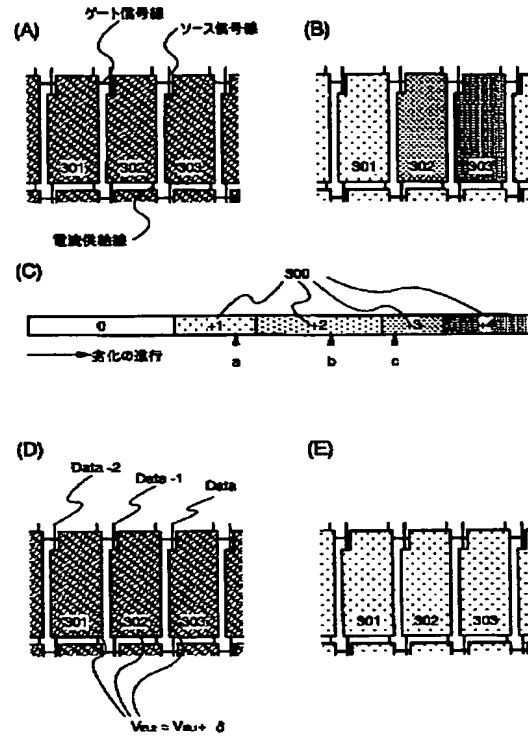
(B) 黒表示時（発光素子は消灯状態）



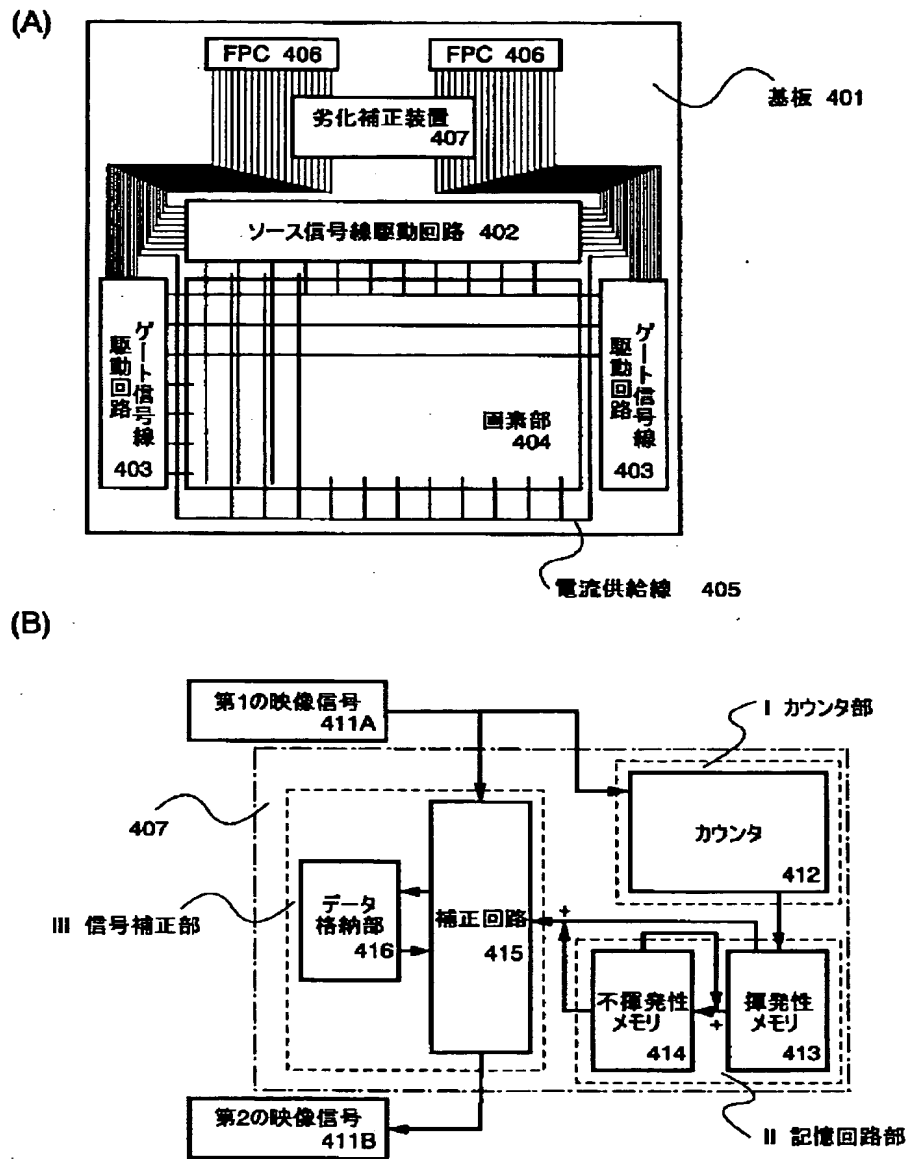
(C) 白表示時（発光素子は点灯状態）



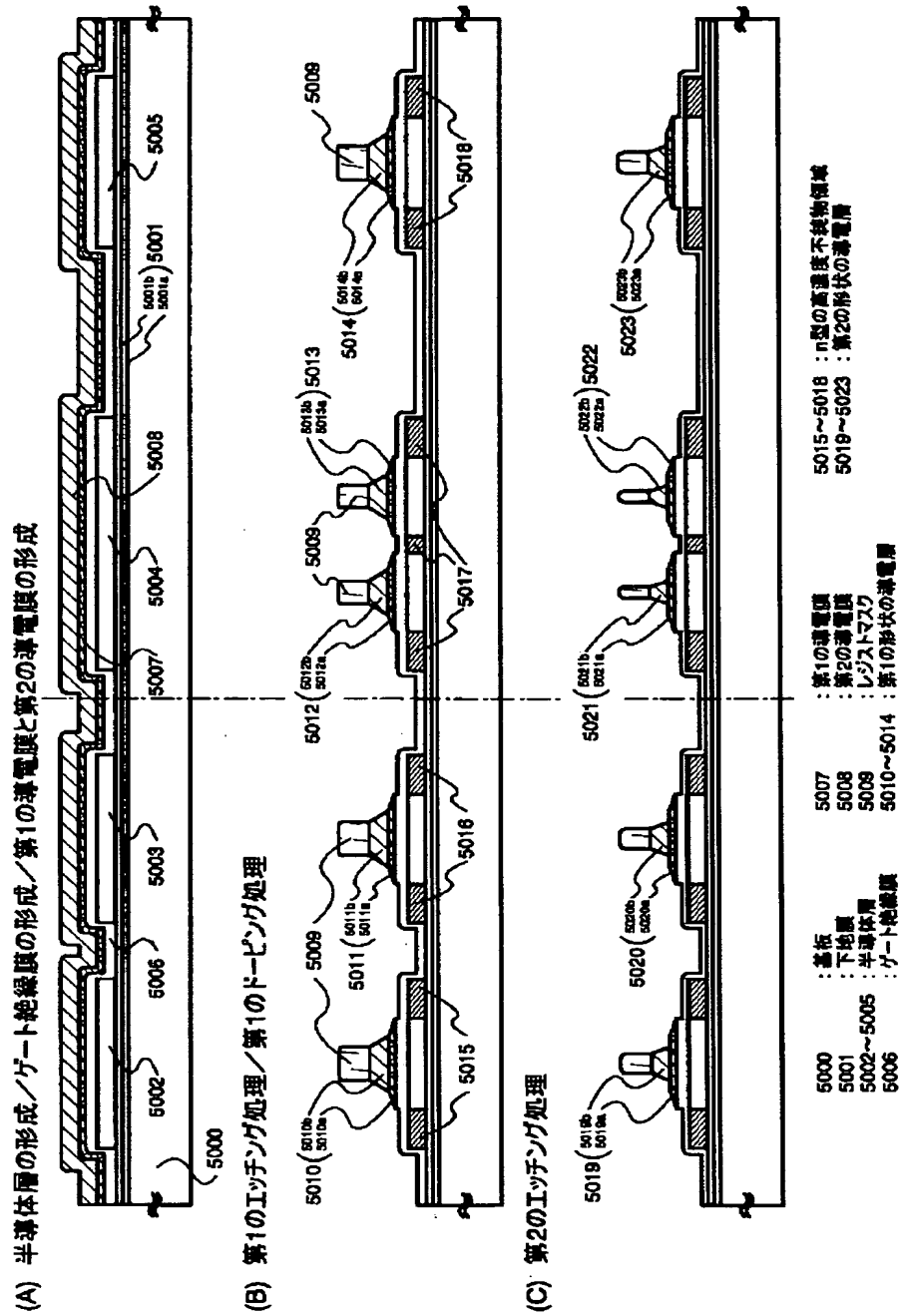
【図3】



【図4】

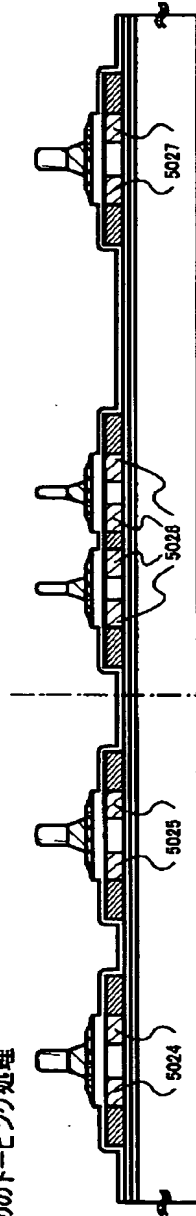


【図5】

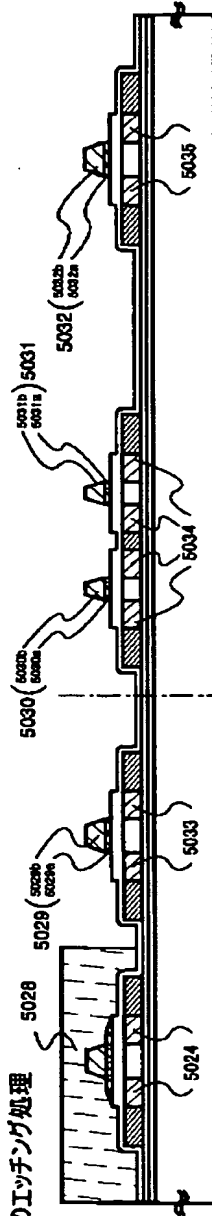


【図6】

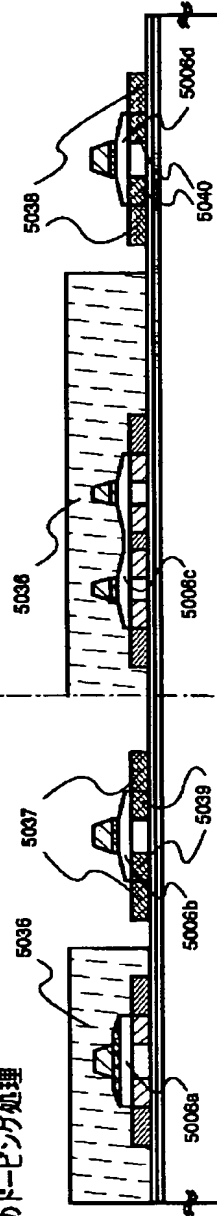
(A) 第2のドーピング処理



(B) 第3のエッチング処理

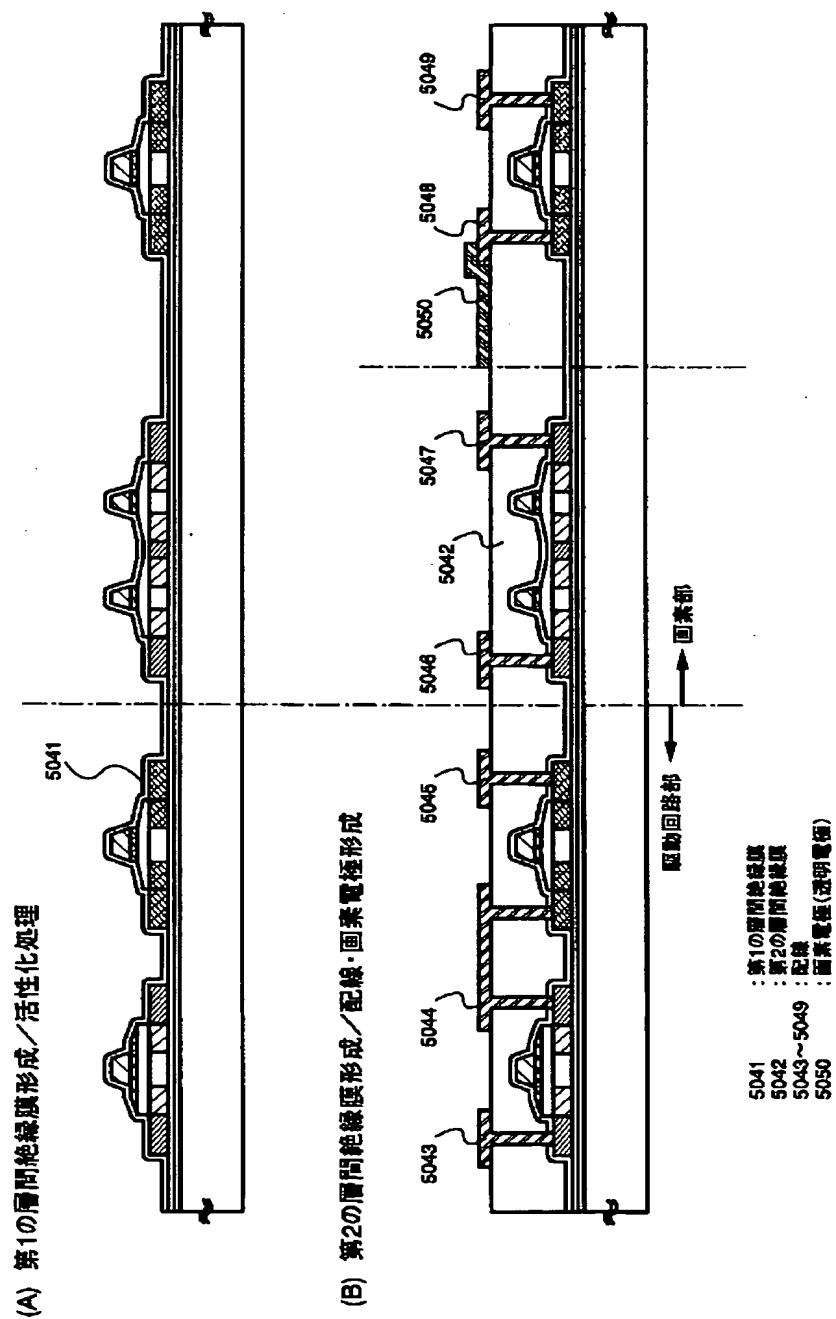


(C) 第3のドーピング処理



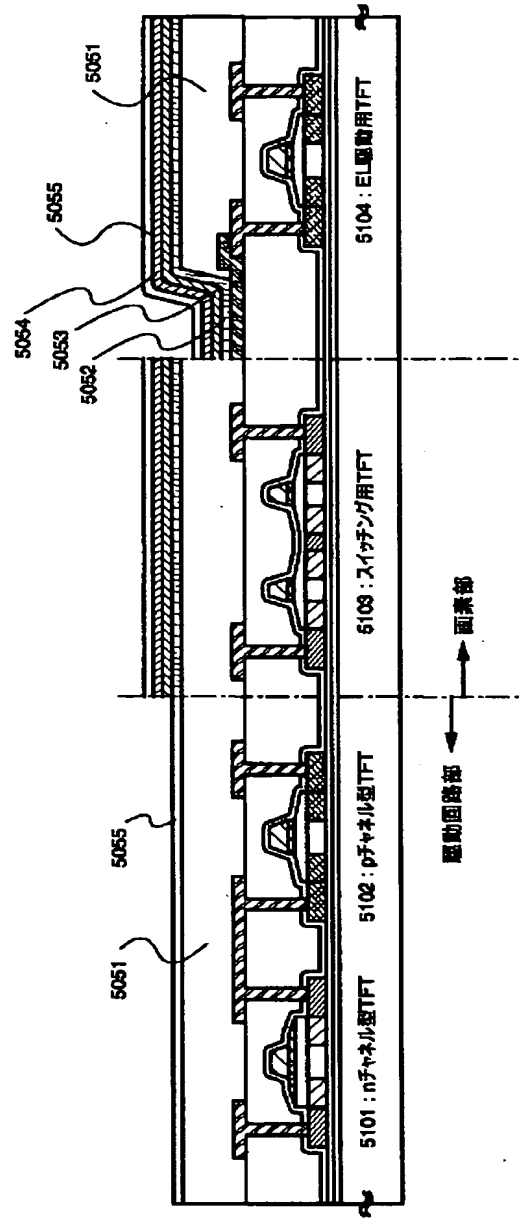
5008a~5008d : ゲート絶縁層
 5024~5027 : n型の低濃度不純物領域 (GOLD領域)
 5028 : レジストマスク
 5029~5032 : p型の高濃度不純物領域
 5033~5035 : n型の低濃度不純物領域 (LDD領域)
 5036 : レジストマスク
 5037~5038 : p型の高濃度不純物領域
 5039~5040 : p型の高濃度不純物領域
 5041 : 第3の形状の導電層

【図7】



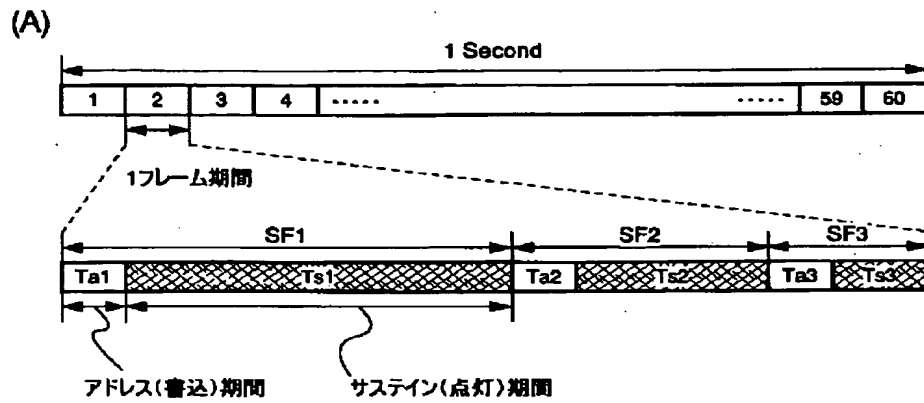
【図8】

(A) 第3の層間絶縁膜・EL層・面素電極・パッシベーション膜形成

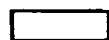
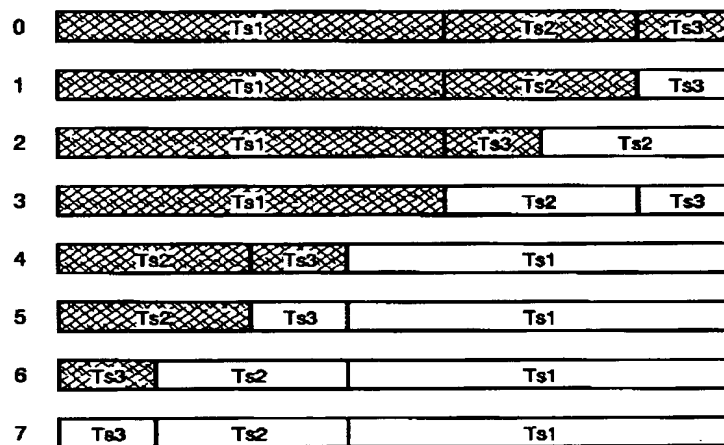


5051 : 第3の層間絶縁膜
 5052 : EL層
 5053 : 陰極電極
 5054 : 保護電極
 5055 : パッシベーション膜

【図9】



(B)

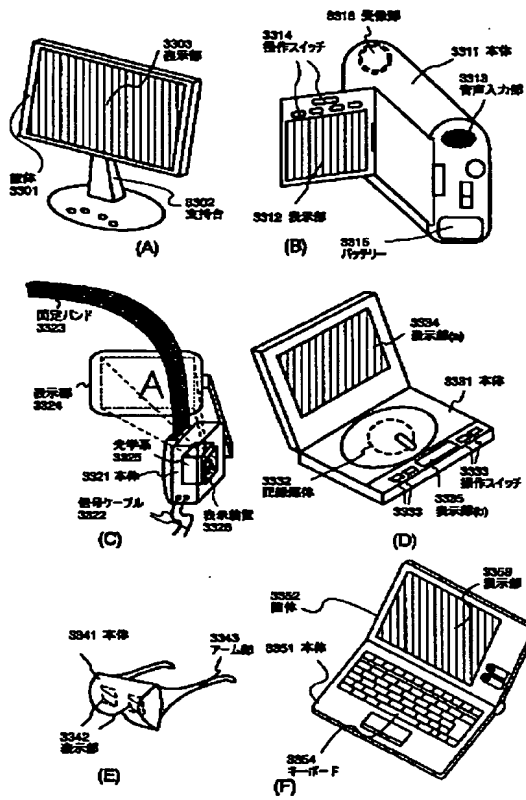


: 点灯期間

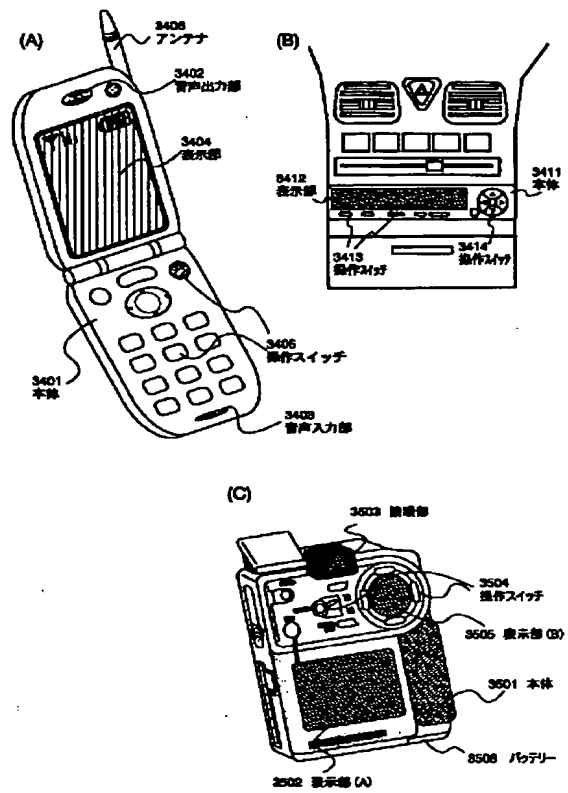


: 非点灯期間

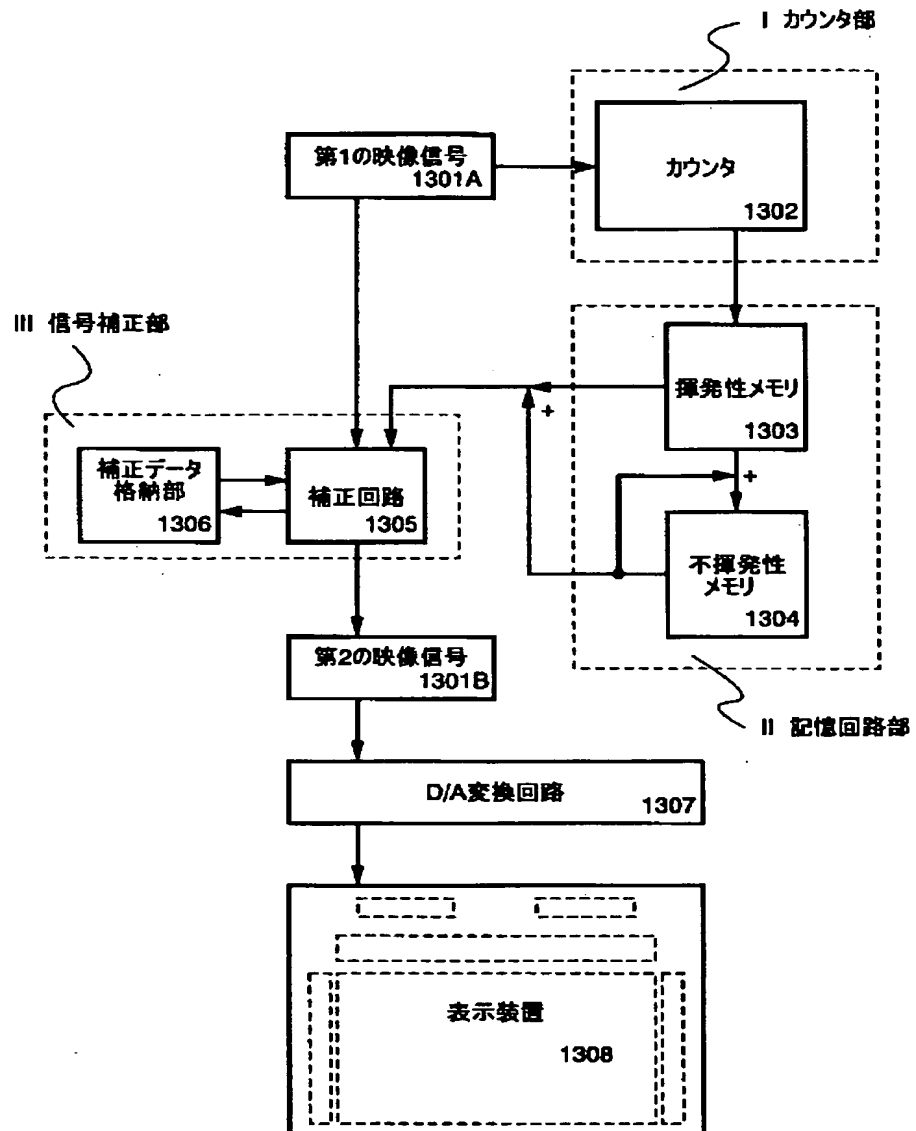
【図11】



【図12】

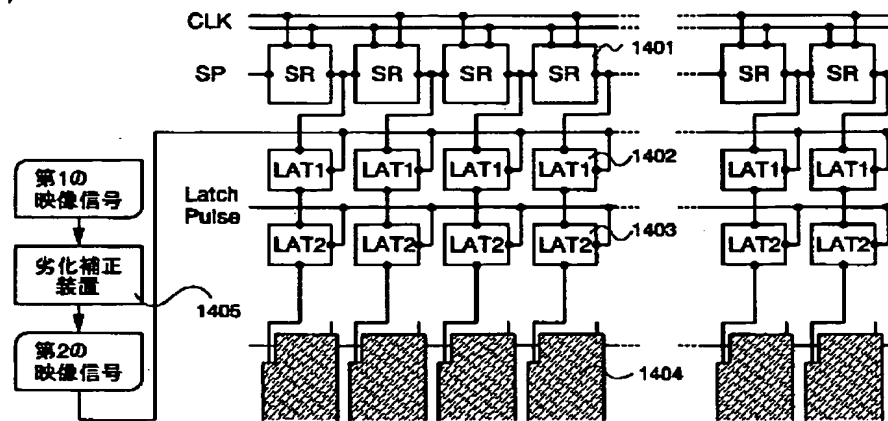


【図13】

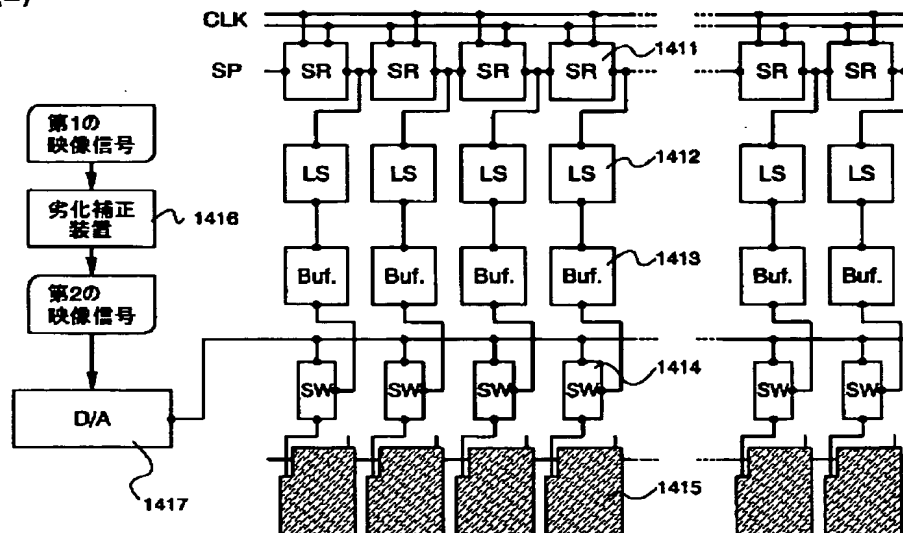


【図14】

(A)

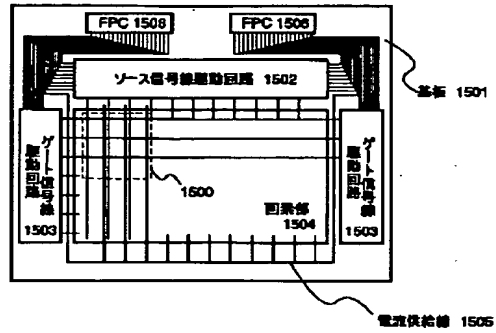


(B)

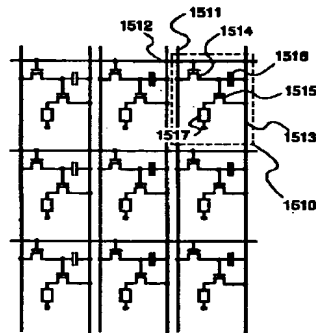


【図15】

(A)



(B)



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/30

H 0 5 B 33/08

33/14

識別記号

F I

H 0 5 B 33/08

33/14

G 0 9 G 3/28

テームコード (参考)

A

K